

(1) Japanese Patent Application Laid-Open No. 08-204184 (1996)

“MOS TRANSISTOR AND MANUFACTURING METHOD THEREOF”

The following is an English translation of an extract of the above application.

5 In an MOS transistor according to the present invention, a lightly doped diffusion layer constituting source and drain is provided in a surface of a substrate at a lower portion of sidewall to be placed on the side of a gate electrode. The gate electrode of the MOS transistor is reversely tapered.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-204184

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶

H01L 29/78
21/336

識別記号

F I

H01L 29/78

301 G
301 P

審査請求 未請求 請求項の数 2 O L (全6頁)

(21)出願番号 特願平7-11471

(22)出願日 平成7年(1995)1月27日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 菅野 道博

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

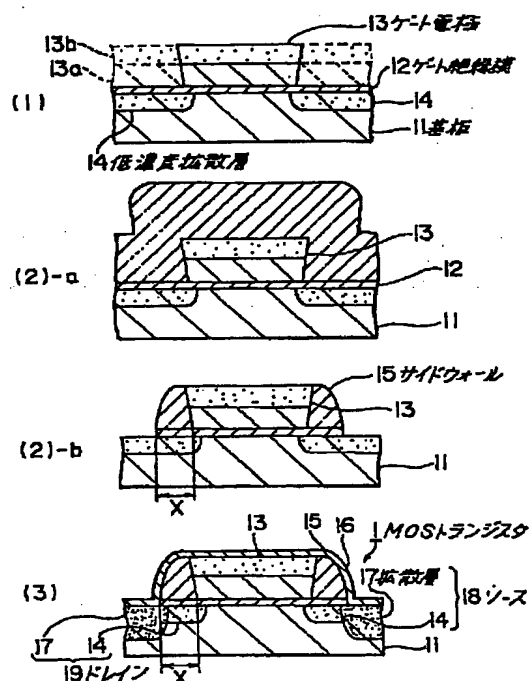
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 MOSトランジスタ及びMOSトランジスタの形成方法

(57)【要約】

【目的】 ゲート電極パターンの疎密によらずしきい電圧をウエハ面内で均一に保つことができるMOSトランジスタ及びその形成方法を提供する。

【構成】 基板11上にゲート絶縁膜12を介して逆テーパー形状のゲート電極13を形成する。ゲート電極13をマスクにして基板11に低濃度拡散層14を形成するための不純物を導入する。ゲート電極13の側壁にサイドウォール15を形成する。ゲート電極13及びサイドウォール15をマスクにして基板11中に拡散層17を形成するための不純物を導入し、低濃度拡散層14と拡散層17とからなるソース18及びドレイン19を形成し、MOSトランジスタ1のゲート電極13を逆ゲート形状にする。これによって、底面におけるゲート長方向の幅が広いサイドウォール15を形成し、サイドウォール15の幅のばらつきに対する V_{th} の変動を小さくする。



実施例を示す工程図

【特許請求の範囲】

【請求項1】 基板上のゲート電極側壁に配置されるサイドウォールと、当該サイドウォール下方における前記基板の表面部分に配置されるソース及びドレインの低濃度拡散層と、前記ゲート電極を挟んで当該低濃度拡散層と隣接する前記基板の表面部分に配置されるソース及びドレインの拡散層とを有するMOSトランジスタにおいて、前記ゲート電極は、逆テーパ形状であることを特徴とするMOSトランジスタ。

【請求項2】 MOSトランジスタの形成方法であって、

基板上にゲート絶縁膜を介して逆テーパ形状のゲート電極を形成した後、当該ゲート電極をマスクにして前記基板の表面側に低濃度拡散層を形成するための不純物を導入する第1工程と、

前記ゲート電極の側壁にサイドウォールを形成する第2工程と、

前記ゲート電極及び前記サイドウォールをマスクにして前記基板中に拡散層を形成するための不純物を導入し、当該基板中に低濃度拡散層と拡散層とからなるソース及びドレインを形成する第3工程とを行うことを特徴とするMOSトランジスタの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置として多用されるMOSトランジスタ及びMOSトランジスタの形成方法に関する。

【0002】

【従来の技術】 図4(3)に示すようなLDD (Lightly Doped Drain)構造のMOSトランジスタ3を形成する場合には、以下のようにしている。先ず、図4(1)に示すように、基板31上にゲート絶縁膜32を介して形成したゲート電極33をマスクにして、当該基板31中に低濃度拡散層34を形成するための不純物を低濃度で導入する。上記ゲート電極33は、基板31に対して略垂直形状を保って形成されるものである。次に、図4

(2)に示すように基板31上方をサイドウォール形成層35aで覆った後、図4(3)に示すようにサイドウォール形成層35aをエッチバックし、ゲート電極33とゲート絶縁膜32との側壁にサイドウォール35を形成する。次いで、図4(4)に示すように、基板31の露出面を酸化膜36で覆った後、ゲート電極33及びサイドウォール35をマスクにして、基板31中に拡散層37を形成するための不純物を上記低濃度拡散層34よりも高濃度に導入する。そして、拡散層37と当該拡散層37の形成によってサイドウォール35の下方に残存する低濃度拡散層34とかなるソース38及びドレイン39を形成する。

【0003】 これによって、サイドウォール35下方に

おける基板31の表面部分に、低濃度に不純物が拡散された低濃度拡散層34を有するMOSトランジスタ3が形成される。

【0004】

【発明が解決しようとする課題】 しかし、上記MOSトランジスタ及びその形成方法には以下のような課題があった。すなわち、基板上に成膜されるサイドウォール形成層は、下地パターンの状態によって膜厚に差が生じる。例えば、同一のウエハ面内でゲート電極の配置状態に疎密がある場合には、ゲート電極のパターンの疎密に依存した状態でサイドウォール形成層の膜厚がウエハ面内でばらついてしまう。このように、サイドウォール形成層の膜厚にばらつきが生じると、このサイドウォール形成層をエッチバックして形成されるサイドウォールの底面部分の幅が不均一になる。このため、低濃度拡散層のゲート長方向の幅にもばらつきが生じてしまう。

【0005】 近年、半導体装置の高集積化と高機能化に伴い、上記MOSトランジスタの微細化が進んでいる。このように微細化が進んだMOSトランジスタでは、低濃度拡散層の濃度プロファイルがしきい電圧の値に影響を及ぼすようになる。このため、上記のように低濃度拡散層のゲート長方向の幅がばらつくと、ウエハ面内のMOSトランジスタ間でしきい電圧を均一に保つことが困難になる。

【0006】 そこで本発明は、微細化が進んだMOSトランジスタを形成するにあたり、ゲート電極パターンの疎密によらずウエハ面内でしきい電圧を均一に保つことができるMOSトランジスタ及びその形成方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記の目的を達成するための本発明のMOSトランジスタは、ゲート電極側壁に配置されるサイドウォール下方における基板の表面部分に、ソース及びドレインを構成する低濃度拡散層を有するMOSトランジスタにおいて、上記ゲート電極を逆テーパ形状にしたものである。

【0008】 また、本発明のMOSトランジスタの形成方法は、以下のものである。先ず第1工程では、基板上にゲート絶縁膜を介して逆テーパ形状のゲート電極を形成する。次いで、このゲート電極をマスクにして基板中に低濃度拡散層を形成するための不純物を導入する。第2工程では、ゲート電極の側壁にサイドウォールを形成する。第3工程では、ゲート電極及びサイドウォールをマスクにして基板中に拡散層を形成するための不純物を導入し、低濃度拡散層と拡散層とからなるソース及びドレインを形成する。

【0009】

【作用】 上記MOSトランジスタは、ゲート電極が逆テーパ形状である。このことから、ゲート電極が垂直形状であるMOSトランジスタと比較して、ゲート電極の側

10

20

30

40

50

壁に形成されるサイドウォールは、底面におけるゲート長方向の幅（以下、サイドウォール幅と記す）が広い。このため、サイドウォール下方の基板の表面側に配置される低濃度拡散層もゲート長方向の幅が広いものになる。また、図2には、サイドウォール幅としきい電圧（以下、 V_{th} と記す）との関係を示す。このグラフに示されるように、サイドウォール幅が広く低濃度拡散層の幅が広いMOSトランジスタでは、サイドウォール幅の変動に対する V_{th} 変動が小さくなることから分かる。以上から、ゲート電極が垂直形状であるMOSトランジスタと比較して、サイドウォール幅のばらつきに対する V_{th} 変動が小さくなる。

【0010】また、上記MOSトランジスタの形成方法では、逆テーパー状に形成したゲート電極の側壁にサイドウォールを形成する。このため、ゲート電極が垂直形状である場合と比較して、底面におけるゲート長方向の幅（サイドウォール幅）が広いサイドウォールが形成される。このため、第3工程で拡散層を形成した後にサイドウォール下に残存する低濃度拡散層も、上記サイドウォール幅が広がった分だけゲート長方向に拡大されたものになる。

【0011】

【実施例】以下、本発明のMOSトランジスタの形成方法の実施例を、図1の工程図に基づいて説明する。先ず、図1(1)に示す第1工程では、基板11上にゲート絶縁膜12を介して逆テーパー形状のゲート電極13を形成する。このゲート電極13は、ゲート絶縁膜12と接する部分のゲート長が $L=0.4\mu m$ であることとする。

【0012】上記ゲート電極13は、例えば以下のようにして形成する。先ず、シリコンからなる基板11上に、ゲート絶縁膜12となる酸化シリコン膜を成膜する。そして、ゲート絶縁膜12上に、膜厚100nmのポリシリコン膜13aを成膜し、当該ポリシリコン膜13a上に膜厚100nmのタングステンシリサイド(WSi)膜13bを成膜する。

【0013】その後、WSi膜13b上にここでは図示しないレジストパターンを形成する。このレジストパターンは、ゲート長方向の幅がゲート長 L よりも広く形成されたものであり、ここでは $0.42\mu m$ 程度とする。

【0014】次に、上記レジストパターンをマスクにして、上記WSi膜13b及びポリシリコン膜13aをドライエッチングする。エッチングガスとしては、塩素ガス(Cl_2)、酸素ガス(O_2)を用いることとし、例えば以下のような条件でエッチングを行う。先ず、ガス流量： $Cl_2/O_2=75/8sccm$ 、RFパワー：80Wにエッチング条件を設定し、WSi膜13bの表面層の自然酸化膜を除去する。次いで、ガス流量： $Cl_2/O_2=75/8sccm$ 、RFパワー：50Wにエッチング条件を設定してWSi膜13bをエッチングす

る。このようにRFパワーを落としてエッチングを行うことによって、エッチングに等方性をもたせてWSi膜13bを逆テーパー形状にエッチングする。その後、ガス流量： $Cl_2/O_2=75/2sccm$ 、RFパワー：30Wにエッチング条件を設定してポリシリコン膜13aをエッチングする。このように O_2 の流量を落としてエッチングを行うことによって、エッチング側壁への側壁保護膜の形成を防止してポリシリコン膜13aを逆テーパー形状にエッチングする。

10 【0015】上記のようにして、WSi膜13bとポリシリコン膜13aとのポリサイド構造からなるゲート電極13を、逆テーパー形状で基板11上に形成する。

【0016】次に、例えば上記ゲート電極13をマスクにしたイオン注入によって、基板11中に低濃度拡散層14を形成するための不純物を導入する。

20 【0017】その後、図1(2)-aに示す第2工程のその1では、CVD法によってゲート電極13及びゲート絶縁膜12を覆う状態でサイドウォール形成層15aを成膜する。このサイドウォール形成層15aは、例えば窒化シリコン膜または酸化シリコン膜などの絶縁性材料で形成することとする。

【0018】また、図2には、各ゲート電極パターンにおけるサイドウォール形成層15aの膜厚とサイドウォールのゲート長方向の幅（以下、サイドウォール幅と記す）との関係を示す。ここで示すように、サイドウォール形成層（15a）が厚膜化すると、サイドウォール幅が広く形成されることがわかる。また、ゲート電極の配置状態が疎である程、サイドウォール幅が広く形成される。そこで、上記サイドウォール形成層15aの膜厚は、当該サイドウォール形成層の厚膜化によって生じるサイドウォール幅のばらつきが許容される範囲内で厚膜化することとする。ここでは、従来の200nmに対して例えば250nm程度の膜厚にする。

30 【0019】尚、プロセスの適合性を考慮して、例えばTEOSガスを用いたLP(Low Pressure)-CVD法で成膜した酸化シリコン、またはLP-CVD法で成膜した窒化シリコンで上記サイドウォール形成層15aを成膜できる場合には、上記方法によってサイドウォール形成層15aを成膜する。これによって、ゲート電極13の配置状態の疎密に影響されずに、基板11上により均一な膜厚の当該サイドウォール形成層15aが得られるようにする。

40 【0020】次に、図1(2)-bに示す第2工程のその2では、基板11の表面とゲート電極13の表面とが露出するまで上記サイドウォール形成層15aをエッチバックし、これによってゲート電極13の側壁にサイドウォール15を形成する。このエッチバックで形成されたサイドウォール15は、垂直成分が強調された形状になる。そして、底面におけるサイドウォール幅が $X=0.17\mu m$ 程度で形成される。

【0021】その後、図1(3)に示す第3工程では、サイドウォール15、ゲート電極13及び基板11の露出面を酸化シリコン膜16で覆う。次いで、ゲート電極13及びサイドウォール15をマスクにしたイオン注入によって、拡散層17を形成するための不純物を基板11の表面側に導入する。ここでは、上記低濃度拡散層14よりも拡散層17の不純物の濃度が高くなるように、上記不純物をイオン注入する。そして、拡散層17と当該拡散層17の形成によってサイドウォール15の下方に残存する低濃度拡散層14とかなるソース18及びドレイン19を形成する。

【0022】これによって、サイドウォール15の下方の基板11における表面側に、低濃度に不純物が拡散された低濃度拡散層14を有するMOSトランジスタ1が形成される。

【0023】上記のようにして形成されたMOSトランジスタ1は、上記のようにサイドウォール幅が $X=0.17\mu\text{m}$ になる。これに対して、従来方法のようにゲート電極を垂直形状にして形成されたMOSトランジスタでは、サイドウォール幅が $0.12\mu\text{m}$ 程度である。このことから、上記MOSトランジスタの形成方法では、ゲート電極13を逆テーパー形状にしかつサイドウォール形成層(15a)を厚膜化したことによって、従来よりもサイドウォール幅 X を $0.05\mu\text{m}$ 程度拡大することができる。

【0024】そして、上記図3のグラフに示したように、従来の形成方法によるサイドウォール幅 $0.12\mu\text{m}$ 程度のMOSトランジスタよりも、上記実施例の形成方法によるサイドウォール幅 $0.17\mu\text{m}$ 程度のMOSトランジスタのほうが、サイドウォール幅のばらつきに対する V_{th} の変動の度合いが小さくなる。このため、同一の基板上に複数のMOSトランジスタが形成される場合、下地パターンの疎密のばらつきによって上記サイドウォール形成層(15a)の膜厚が不均一に成膜されても、各MOSトランジスタのサイドウォール幅が広く形成されることによって、当該各MOSトランジスタ間の V_{th} のばらつきを小さく抑えることが可能になる。これは、図3のグラフに示すようなゲート長 $0.32\mu\text{m}$ のMOSトランジスタや、その他のゲート長のMOSトランジスタでも同様である。

【0025】尚、上記MOSトランジスタでは、その製造工程においてゲート電極13下のチャネル領域の不純物濃度を調節することによって、上記のように V_{th} の変動を小さく抑えたまま所定の V_{th} を得ることが可能

である。

【0026】

【発明の効果】以上説明したように、本発明のMOSトランジスタによれば、逆テーパー形状のゲート電極を設けることによって、垂直形状のゲート電極と比較してゲート電極側壁のサイドウォールの底面におけるゲート長方向の幅を広くでき、その結果としてソース、ドレインの低濃度拡散層のゲート長方向の幅を広くすることができる。このため、ゲート電極パターンの疎密によるサイドウォール幅のばらつきに起因する V_{th} の変動を小さく抑えることが可能になり、ウエハ面内における複数のMOSトランジスタの V_{th} 特性を均一化することができる。

【0027】また、本発明のMOSトランジスタの形成方法によれば、ゲート電極を逆テーパー形状に形成してその側壁にサイドウォールを形成することによって、垂直形状のゲート電極側壁にサイドウォールを形成する場合と比較して底面におけるゲート長方向の幅が広いサイドウォールを形成することができる。このため、ソース、ドレインの低濃度拡散層のゲート長方向の幅を広く形成することが可能になり、これによって、ゲート電極パターンの疎密によるサイドウォール幅のばらつきに起因する V_{th} の変動が小さいMOSトランジスタを形成することが可能になる。したがって、ウエハ面内において V_{th} が均一化された複数のMOSトランジスタを形成することが可能になる。

【図面の簡単な説明】

【図1】実施例を説明する工程図である。

【図2】サイドウォール形成層の膜厚とサイドウォール幅との関係を示すグラフである。

【図3】サイドウォール幅としきい電圧との関係を示すグラフである。

【図4】従来例を説明する工程図である。

【符号の説明】

1 MOSトランジスタ

11 基板

12 ゲート絶縁膜

13 ゲート電極

14 低濃度拡散層

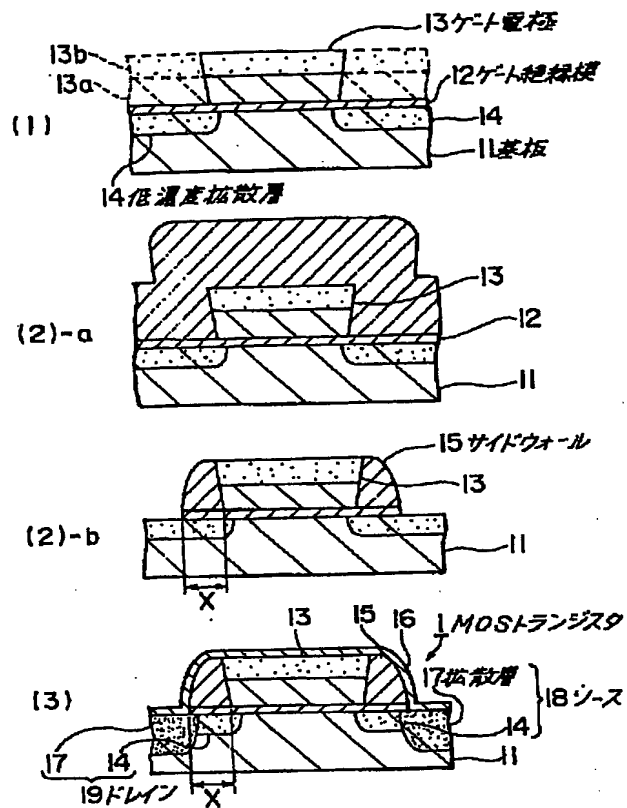
15 サイドウォール

17 拡散層

18 ソース

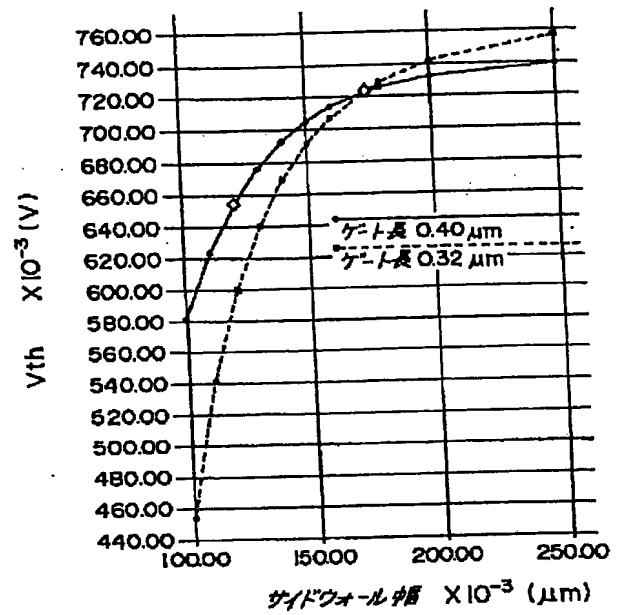
19 ドレイン

【図1】

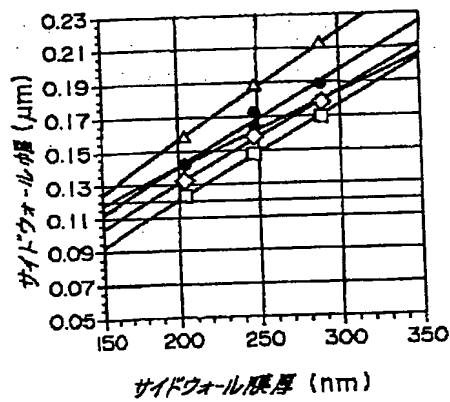


実施例を示す工程図

【図3】

サイドウォール幅としきい電圧 (V_{th}) との関係を示すグラフ

【図2】



- ◇ DRAM
- G/A (Gate Array)
- △ LEG (Test Element Group)
- ◆ L/S (Line/Space)=0.40/0.46
- G/A Struct

サイドウォール形成層の膜厚とサイドウォール幅との関係を示すグラフ

【図4】

